

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208408

(43)Date of publication of application : 28.07.2000

(51)Int.Cl. H01L 21/027
G03F 7/039
G03F 7/40

(21)Application number : 11-010273
(22)Date of filing : 19.01.1999

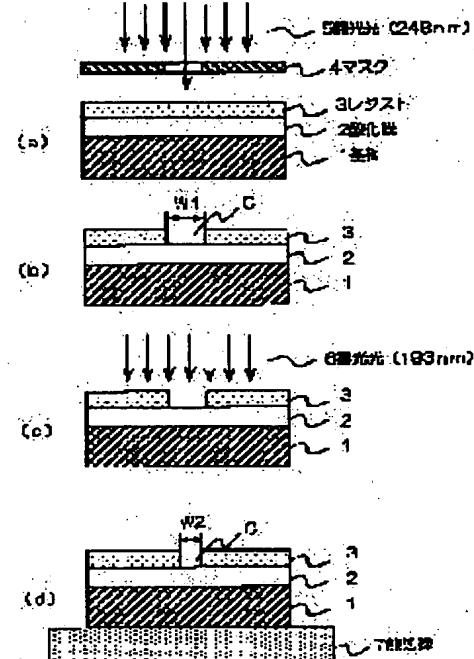
(71)Applicant : NEC CORP
(72)Inventor : YOSHII TAKESHI

(54) CHEMICAL AMPLIFICATION RESIST PATTERN FORMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent degradation in pattern form, and to make it possible to reduce the contact diameter at a low temperature.

SOLUTION: This is the pattern forming method of the chemical amplification resist pattern used to reduce the contact pattern formed on a chemical amplification resist 3 applied on a semiconductor substrate 1, and a whole surface exposing treatment and a baking treatment are performed. The whole surface exposing treatment is the treatment wherein the temperature difference of heat resisting property is provided between the surface and other part by protecting the surface only of the resist 3. The baking treatment is the treatment wherein the semiconductor substrate is heat-treated at the intermediate temperature between the surface heat-resisting temperature and the heat resisting temperature of the lower part of a resist. As the surface of the resist 3 is protected, it has high heat-resisting property, and the heat resisting property of the lower part of the resist is lower than the surface resist. The pattern can be reduced without degradation of form by performing a heat treatment at the intermediate temperature.



LEGAL STATUS

[Date of request for examination] 23.03.1999

[Date of sending the examiner's decision of rejection] 28.08.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-208408

(P2000-208408A)

(43)公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 01 L 21/027		H 01 L 21/30	5 7 0 2 H 0 2 5
G 03 F 7/039	6 0 1	G 03 F 7/039	6 0 1 2 H 0 9 6
7/40		7/40	5 F 0 4 6
		H 01 L 21/30	5 0 2 A

審査請求 有 請求項の数4 O.L (全4頁)

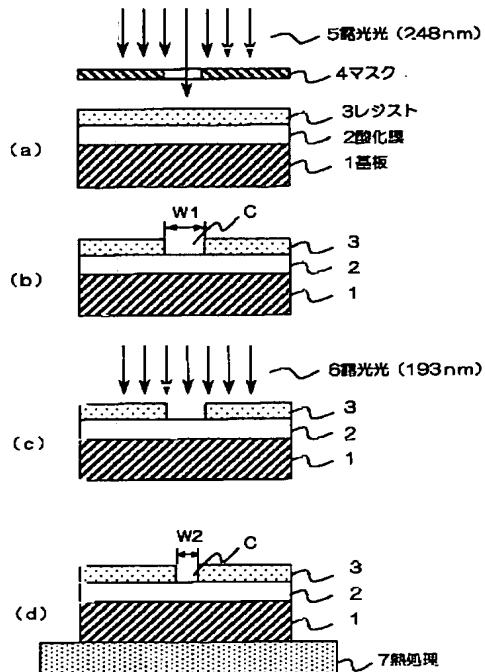
(21)出願番号	特願平11-10273	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成11年1月19日(1999.1.19)	(72)発明者	吉井 剛 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	100075306 弁理士 菅野 中 Fターム(参考) 2H025 AA00 AA02 AA03 AA09 AB16 AC04 AC08 AD03 BE00 BE10 CB41 FA29 FA30 2H096 AA25 BA09 HA01 HA03 5F046 AA05 AA07 AA09 AA17 AA28

(54)【発明の名称】 化学増幅系レジストのパターン形成方法

(57)【要約】

【課題】 パターン形状の劣化がなく、低温でコンタクト径の縮小を可能とする。

【解決手段】 半導体基板上に塗布された化学増幅系レジストに形成したコンタクトパターンを縮小する化学増幅系レジストのパターン形成方法であって、全面露光処理およびベーク処理を施す。全面露光処理は、レジスト3の表面のみを脱保護することにより、表面と他部分との耐熱性の温度差を持たせる処理であり、ベーク処理は、レジストの表面の耐熱温度と、下部の耐熱温度との中間の温度で半導体基板を熱処理するものである。レジストの表面レジスト表面は脱保護させているので耐熱性が高く、レジスト下部はレジスト表面よりも低くなる。その中間の温度で熱処理を行うことによって、パターンを形状劣化が無く縮小することが出来る。



【特許請求の範囲】

【請求項1】 全面露光処理およびベーク処理を施して半導体基板上に塗布された化学增幅系レジストに形成したコンタクトパターンを縮小する化学增幅系レジストのパターン形成方法であって、全面露光処理は、レジスト表面のみを脱保護させることにより、表面と他部分との耐熱性の温度差を持たせる処理であり、ベーク処理は、レジストの表面の耐熱温度と、下部の耐熱温度との中間の温度で半導体基板を熱処理するものであることを特徴とする化学增幅系レジストのパターン形成方法。

【請求項2】 全面露光処理は、レジストに対し、吸収の大きい波長の光源を用いてレジスト表面のみ脱保護させ、レジスト表面の耐熱温度を他の部分より高くする処理であることを特徴とする請求項1に記載の化学增幅系レジストのパターン形成方法。

【請求項3】 全面露光処理は、レジストに対して吸収のある露光光をレジストの面に全面露光する処理であることを特徴とする請求項1に記載の化学增幅系レジストのパターン形成方法。

【請求項4】 ベーク処理は、処理温度を制御して縮小すべきコンタクトパターンの寸法を調整する処理を含むものであることを特徴とする請求項1に記載の化学增幅系レジストのパターン形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体の製造方法、特にリソグラフィー工程の化学增幅系レジストパターン形成方法に関する。

【0002】

【従来の技術】 微細パターン形成処理において、設計寸法0.18μmレベル以降のデバイスでは、KrF光やArF光を光源に用いたエキシマリソグラフィプロセスが有望視され、その研究開発が進められている。

【0003】 露光波長248nmのKrFエキシマーレーザーでは、露光波長よりも微細な最小寸法0.15μmレベルのパターン形成が要求されるようになり、このような微細寸法の露光は、従来の露光技術では困難な状況にある。

【0004】 特に、コンタクトホールパターンやスペースパターンのような抜きパターンでは、ライン系パターンに比べ、コントラストが得にくく、解像力やフォーカスマージン等のリソグラフィ特性は、劣化してしまう。

【0005】 そこで、コンタクトホールパターンやスペースパターンなどの抜きパターンは、シュリンクプロセスが考えられている。この手法は、実際にデバイス適用されている技術であり、その手法の概略を図2に示す。

【0006】 すなわち、この手法は、図2(a)において、基板1上に酸化膜2を形成し、酸化膜2上に化学增幅系レジスト3を塗布し、レジスト3の焼きしめとして

プリベークを行う。ついで、マスク4を通して波長248nmの露光光5を照射し、図2(b)のように幅W1のコンタクトホールCを形成する。

【0007】 そして、図2(c)のように感光性の光として先と同じ波長248nmの露光光6をレジスト3の面に全面露光し、その後、ホットプレート7により、図2(d)のように、レジストの耐熱温度よりも高い温度で熱処理することによってレジストをだらし、コンタクトの寸法をW2(W1>W2)に縮めるというものである。

【0008】

【発明が解決しようとする課題】 しかしながら、上記のような手法によるパターン形成方法によるときには、レジストプロファイルの劣化が著しく、また、レジストの膜減りも大きいため、エッチング耐性に影響が現れるという問題がある。

【0009】 本発明の目的は、従来の手法に比較して、パターン形状の劣化がなく、より低温でコンタクト径の縮小が可能な化学增幅系レジストのパターン形成方法を提供することにある。

【0010】

【課題を解決するための手段】 上記目的を解決するため、本発明による化学增幅系レジストのパターン形成方法においては、全面露光処理およびベーク処理を施して半導体基板上に塗布された化学增幅系レジストに形成したコンタクトパターンを縮小する化学增幅系レジストのパターン形成方法であって、全面露光処理は、レジスト表面のみを脱保護させることにより、表面と他部分との耐熱性の温度差を持たせる処理であり、ベーク処理は、レジストの表面の耐熱温度と、下部の耐熱温度との中間の温度で半導体基板を熱処理するものである。

【0011】 また、全面露光処理は、レジストに対し、吸収の大きい波長の光源を用いてレジスト表面のみ脱保護させ、レジスト表面の耐熱温度を他の部分より高くする処理である。

【0012】 また、全面露光処理は、レジストに対して吸収のある露光光をレジストの面に全面露光する処理である。

【0013】 また、ベーク処理は、処理温度を制御して縮小すべきコンタクトパターンの寸法を調整する処理を含むものである。

【0014】 本発明においては、レジスト表面のみを脱保護させることにより、表面と他部分との耐熱性の温度差を持たせることにより、従来の手法に比較してより低温でコンタクト径の縮小が可能であり、パターンの形状劣化がなく、エッチング耐性を向上できる。

【0015】

【発明の実施の形態】 以下に本発明の実施形態を図によって説明する。図1(a)において、半導体基板1上に酸化膜2を形成し、酸化膜2上に化学增幅系レジスト3

を塗布し、さらにレジスト3の焼きしめとしてプリベークを行う。

【0016】ついで、マスク4を通して露光光5を照射し、コンタクトパターンとして、図1 (b) のように幅W1のコンタクトホールCを形成する。そして、全面露光処理として、図1 (c) のようにレジスト3に対して吸収のある露光光6をレジスト3の面に全面露光する。【0017】この全面露光処理によって、残ったレジストの表面には、脱保護反応が起こり、レジストの表面は、レジスト下部に比べ、耐熱性が向上する。その後、図1 (d) において、ベーク処理として、ホットプレート7により、レジスト表面の耐熱温度と、レジスト下部の耐熱温度との中間の温度で熱処理を行う。このベーク処理により、熱膨張し、コンタクトホールCは、寸法W2 (W1>W2) に縮小する。

【0018】縮小されるコンタクトパターンの寸法W2は、ベーク処理の処理温度を制御することによって、自在に調整できる。本発明によるパターン形成方法によれば、コンタクトホールや孤立スペースパターンなどのレジストを大部分残したパターンに適用できる。

【0019】本発明によれば、コンタクトホールパターンを形成した後、パターン形成部を本レジストに対して吸収のある光源を用いて露光を行い、レジスト表面のみ脱保護反応させる。すると、レジスト表面は脱保護させているので耐熱性が高く、レジスト下部はレジスト表面よりも低くなる。その中間の温度で熱処理を行うことによって、パターンを形状劣化が無く縮小することが出来る。

【0020】

【実施例】以下に本発明の実施例を示す。

(実施例1) 下地基板に絶縁膜のBPSGを用い、酸化膜上に化学增幅系レジストとして、東京応化工業社製レジストTDUR-P009を0.7μmの厚さに塗布した。

【0021】次に、レジスト3の焼きしめとして、90℃、90secのプリベークを行い、露光光源には、露光波長248nmのKrFエキシマレーザーを用いて露光し、0.25μmサイズのコンタクトホールCを形成した。そして、本レジストに対し、吸収のある露光波長193nmもArFエキシマレーザー6を用い、レジスト3の面に全面露光した。

【0022】さらに、ホットプレートにより、170℃、120secベーク処理を行った。この結果、レジストの下部だけが熱膨張してコンタクトパターンが縮小しレジスト形状の劣化が無く、コンタクトホールは、幅0.15μmサイズに縮小された。

【0023】(実施例2) 下地基板に絶縁膜のWJSi

O₂を用い、基板上に酸化膜を形成し、次いでレジストとして、住友化学工業社製レジストPFI-52を1.0μmの厚さに塗布を形成した。

【0024】さらに、レジストの焼きしめとして90℃、90secのプリベークを行った。続いて、露光波長365nmのi線によって0.40μmサイズのコンタクトホールを形成した。

【0025】そして、本レジストに対して、吸収のある露光波長248nmのKrFエキシマレーザーを用いて、レジスト部を全面露光処理し、続いて、200℃、240secのベーク処理を行った。この結果、レジスト形状の劣化が無く、コンタクトホールパターンの寸法は、0.25μmサイズに縮小された。

【0026】(実施例3) 下地基板に絶縁膜のBPSGを用い、酸化膜上に日本合成ゴム社製レジストMSE-P-1EGを0.7μmの厚さに塗布し、レジストの焼きしめとして100℃、60secのプリベークを行った。

【0027】続いて、エレクトロンビームによって0.12μmサイズのコンタクトホールを形成した。そして、本レジストに対して、吸収のあるArFエキシマレーザーを用い、レジスト部に全面露光処理した。

【0028】続いて、150℃、300secのベーク処理を行った。この結果、レジスト形状の劣化が無く、コンタクトホールパターンの寸法は0.08μmサイズに縮小された。

【0029】

【発明の効果】以上のように本発明によるときには、レジストに対し、吸収の大きい波長の光源を用いることによって、レジスト表面のみ脱保護させ、レジスト表面の耐熱性を他部分よりも高い温度にすることでレジストのだれを無くし、縮小された高精度のパターンを形成でき、レジスト形状の劣化やレジストの膜減りがなく、優れたエッチング耐性を得ることができる。

【図面の簡単な説明】

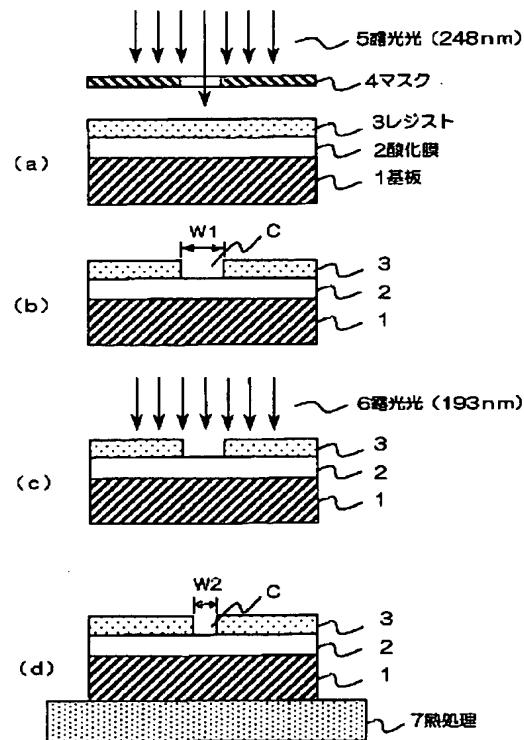
【図1】本発明の一実施形態を工程順に示す図である。

【図2】従来の化学增幅レジストパターンの形成工程を工程順に示す図である。

【符号の説明】

- 1 半導体基板
- 2 酸化膜
- 3 レジスト
- 4 マスク
- 5 露光光
- 6 露光光
- 7 ホットプレート

【図1】



【図2】

